

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

11420069

Basic Patent (No,Kind,Date): JP 5256914 A2 931008 <No. of Patents: 001>

TESTING CIRCUIT (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO; TOSHIBA JOHO SYST KK;
TOSHIBA MICRO ELECTRONICS

Author (Inventor): TANAKA NOBUYUKI; FUJIMORI MASAFUMI; YOSHIDA
NORIHIRO; MORITA TSUNEMASA

IPC: *G01R-031/28; H01L-021/66; H01L-021/82; H01L-027/04

Derwent WPI Acc No: G 93-354064

JAPIO Reference No: 180018P000092

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applie No	Kind	Date
JP 5256914	A2	931008	JP 9253504	A	920312 (BASIC)

Priority Data (No,Kind,Date):

JP 9253504 A 920312

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04265214 **Image available**

TESTING CIRCUIT

PUB. NO.: 05-256914 [JP 5256914 A]

PUBLISHED: October 08, 1993 (19931008)

INVENTOR(s): TANAKA NOBUYUKI

FUJIMORI MASAFUMI

YOSHIDA NORIHIRO

MORITA TSUNEMASA

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP (Japan)

TOSHIBA JOHO SYST KK [000000] (A Japanese Company or Corporation), JP (Japan)

TOSHIBA MICRO ELECTRON KK [000000] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 04-053504 [JP 9253504]

FILED: March 12, 1992 (19920312)

INTL CLASS: [5] G01R-031/28; H01L-021/66; H01L-021/82; H01L-027/04

JAPIO CLASS: 46.1 (INSTRUMENTATION -- Measurement); 42.2 (ELECTRONICS -- Solid State Components); 46.2 (INSTRUMENTATION -- Testing)

JOURNAL: Section: P, Section No. 1673, Vol. 18, No. 18, Pg. 92, January 12, 1994 (19940112)

ABSTRACT

PURPOSE: To decrease the time and the cost required for the tests by testing functional blocks having the same function at the same time.

CONSTITUTION: Selecting signals S0 and S1 are inputted, and one memory block, e.g. A1, is selected. The signal of 8 bits is written into a cell corresponding to the address signal of the memory A1. The signal stored in the memory A1 is read out and outputted through an input/output pin 6. The read-out signal is compared with the expected values of an LSI tester and the like, and the normal state of the memory A1 is confirmed. Then, the selecting signals S0 and S1 are inputted, and all memory blocks A1-A3 are selected. Data D0-Dy of 8 bits are inputted through a pin 6 and written into 8 cells corresponding to the addresses of the memories. Then, the read-out data are sent into voltage comparing circuit VC0-VC7 through a data bus 10. When all memory blocks A1-A3 are normal, the output Ei of the circuit VCi becomes an L-level. Even if only one is defective, an H-level is obtained. This is also true for the output of an OR circuit, and the simultaneous measurements of the memories A1-A3 can be performed.

【特許請求の範囲】

【請求項1】選択信号に応じて、半導体集積回路装置に内蔵されている各々が同一機能の複数個の機能ブロックのうちの1個の機能ブロックを選択できるとともに同一機能のすべての機能ブロックを同時に選択することができる選択手段と、

選択された機能ブロックにデータ信号を入力するためのデータ入力手段と、

1個の機能ブロックが選択されている時にこの機能ブロックにデータ信号を入力した際に得られる前記機能ブロックからの出力データ信号を出力するためのデータ出力手段と、

同一機能のすべての機能ブロックが選択されている時に前記同一機能のすべての機能ブロックに同一のデータ信号を入力した際に得られる前記機能ブロックからの出力データ信号の値がすべて同一かどうかを判定する判定手段と、を備え、前記選択手段及び判定手段はともに前記半導体集積回路装置に内蔵されていることを特徴とするテスト回路。

【請求項2】選択信号に応じて、半導体集積回路装置に内蔵されている、同一機能の機能ブロックからなる複数組の集合のうち1組の集合を選択し、選択された集合内のすべての機能ブロックをイネーブルにする選択手段と、

前記選択された集合内のすべての機能ブロックにデータ信号を入力するためのデータ入力手段と、

前記選択された集合内の少なくとも1つの機能ブロックからの出力データ信号を出力するためのデータ出力手段と、

前記選択された集合内のすべての機能ブロックからの出力データ信号の値がすべて同一かどうかを判定する判定手段と、

を備え、前記選択手段及び判定手段はともに前記半導体集積回路装置内に内蔵されていることを特徴とするテスト回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置に内蔵されている同一機能の複数の機能ブロックをテストするテスト回路に関する。

【0002】

【従来の技術】従来のテスト回路の構成を図6に示す。このテスト回路は、半導体集積回路装置に内蔵されている複数（図面上で3個）の同一機能の機能ブロックA_i（i=1, 2, 3）が正しい機能を有しているかどうかをテストするものであって、セレクタ61とセレクタ62とを有している。これらの機能ブロックA₁, A₂, A₃をテストする場合は、まずセレクタ61及び62によってテストすべき1個の機能ブロック、例えば機能ブロックA₁を選択する。そして半導体集積回路装置（L

S1）の入力端子INを介してテストデータを、選択された機能ブロックA₁に送って動作させ、この機能ブロックA₁の出力をセレクタ62及び半導体集積回路装置の出力端子OUTを介して出力し、この出力を図示しない外部のLSIテスト等で期待値と比較することによって、選択された機能ブロックA₁の機能が正常かどうかを判断する。これを順次各々機能ブロックA₂, A₃に対しても行って機能確認を終了する。

【0003】

10 【発明が解決しようとする課題】このような従来のテスト回路においては、機能ブロックを個々にテストするため、機能ブロックの数が増加すればするほど、テストに要する時間も増加し、テストに要するコストも増加するという問題があった。

【0004】又、今後は半導体集積回路装置に内蔵される機能ブロックの個数も増えて行くと予想され、従来のテスト回路ではテストに要する時間が増大し、テストに要するコストも増大することになる。

【0005】本発明は上記事情を考慮してなされたもの20 であって、テストに要する時間を可及的に低減させることのできるテスト回路を提供することを目的とする。

【0006】

【課題を解決するための手段】第1の発明によるテスト回路は、選択信号に応じて、半導体集積回路装置に内蔵されている各々が同一機能の複数個の機能ブロックのうちの1個の機能ブロックを選択できるとともに同一機能のすべての機能ブロックを同時に選択することができる選択手段と、選択された機能ブロックにデータ信号を入力するためのデータ入力手段と、1個の機能ブロックが選択されている時にこの機能ブロックにデータ信号を入力した際に得られる前記機能ブロックからの出力データ信号を出力するためのデータ出力手段と、同一機能のすべての機能ブロックが選択されている時に前記同一機能のすべての機能ブロックに同一のデータ信号を入力した際に得られる前記機能ブロックからの出力データ信号の値がすべて同一かどうかを判定する判定手段と、を備え、前記選択手段及び判定手段はともに前記半導体集積回路装置に内蔵されていることを特徴とする。

【0007】第2の発明によるテスト回路は、選択信号40 に応じて、半導体集積回路装置に内蔵されている、同一機能の機能ブロックからなる複数組の集合のうち1組の集合を選択し、選択された集合内のすべての機能ブロックをイネーブルにする選択手段と、前記選択された集合内のすべての機能ブロックにデータ信号を入力するためのデータ入力手段と、前記選択された集合内の少なくとも1つの機能ブロックからの出力データ信号を出力するためのデータ出力手段と、前記選択された集合内のすべての機能ブロックからの出力データ信号の値がすべて同一かどうかを判定する判定手段と、を備え、前記選択手段及び判定手段はともに前記半導体集積回路装置内に内

蔵されていることを特徴とする。

【0008】

【作用】このように構成された第1の発明のテスト回路によれば、まず、選択手段に1個の機能ブロックを選択し、この選択された機能ブロックにデータ入力手段を介してデータを入力し、この時得られる出力信号を、出力手段を介して半導体集積回路装置の外部に出力し、この出力と期待値とを比較することによって選択された機能ブロックが正常であるかどうかを外部のテスタ等によって判定する。

【0009】正常な場合は、選択手段によって同一機能のすべての機能ブロックを同時に選択し、この選択されたすべての機能ブロックにデータ入力手段を介して同一のデータ信号を入力する。この時得られる機能ブロックの出力信号がすべて同一かどうかを判定手段によって判定する。同一と判定されれば、同一機能のすべての機能ブロックは正常であり、同一でないと判定されれば不良の機能ブロックが存在していることになる。これにより、同一機能の機能ブロックをすべて同時にテストすることが可能となり、テストに要する時間とコストを可及的に減少させることができる。

【0010】又このように構成された第2の発明のテスト回路によれば、選択手段によって同一機能の機能ブロックからなる1組の集合が選択され、選択された集合内の機能ブロックすべてがイネーブルにされる。この時、データ信号（テスト信号）がデータ入力手段を少なくして外部から入力されると、このデータ信号はイネーブルにされた機能ブロックに送られる。すなわち、イネーブルにされた機能ブロックには同一のデータ信号が送られることになる。そして、イネーブルにされた機能ブロックからの出力データ信号の値が同一かどうかが判定手段によって判定される。同一と判定されれば同一機能のすべての機能ブロックはすべて正常であるか、すべて異常であるかのどちらかである。この時、イネーブルにされた同一機能の機能ブロックの中から少なくとも1つの機能ブロックの出力データ信号がデータ出力手段を介して外部出力されるから、この出力データ信号を外部に設けられているLSIテスタ等によって期待値と比較することによって、同一機能のすべての機能ブロックが正常であるか異常であるかを判定することができる。又、判定手段によって同一でないと判定された場合は、不良の機能ブロックが存在していることになる。

【0011】これにより、同一機能の機能ブロックをすべて同時にテストすることが可能となり、テストに要する時間とコストを可及的に減少させることができる。

【0012】

【実施例】第1の発明によるテスト回路の一実施例の構成を図1に示す。この実施例のテスト回路はセレクタ3と、電圧比較回路VCi（i=0, … 7）と、OR回路とを備えており、テストすべき複数個（この実施例では

3個）のメモリブロックA1, A2, A3とともに半導体集積回路装置に内蔵されている。

【0013】セレクタ3は、選択信号S0, S1に基づいて3個のメモリブロックA1, A2, A3のうちの1個を選択するか又は全てのメモリブロックA1, A2, A3を選択する。すなわち、例えばメモリブロックA1, A2, A3のうちA1が選択される場合はメモリブロックA1に入力されるチップ・セレクト入力信号バーCSをアクティブにし、全てのメモリブロックA1, A2, A3が選択される場合は各メモリブロックAi（i=1, 2, 3）に入力されるチップ・セレクト入力信号バーCSをアクティブにする。選択された各メモリブロックAiはライトイネーブル入力信号バーWRがアクティブの時に、データバス10を介して8ビットのデータD0, D1, … D7が入力されると、アドレスバス（図示せず）を介して入力されたアドレス信号に対応するメモリセルに上記データを記憶する。又、選択された各メモリブロックAiは出力イネーブル入力信号バーOEがアクティブの時にアドレスバスを介して入力されたアドレス信号に対応するメモリセルに記憶されている8ビットのデータD0, D1, …, D7をデータバス10に送る。

【0014】各電圧比較回路VCi（i=0, 1, … 7）は3個のメモリブロックA1, A2, A3から送られてくるi番目のデータDiが全て同じ場合には“L”レベルの信号を出力し、1つでも異なる場合（この時の電圧比較回路VCiの入力は“H”レベルと“L”レベルと中間レベルとなる。）は“H”レベルの信号を出力する。この電圧比較回路VCiの一具体例を図2に示す。この図2に示す電圧比較回路VCiはコンパレータC1, C2と、Exclusive NOR回路EXNORとを有しており、入力データDiのレベルが4.5Vよりも大きいか、又は0.4Vよりも小さい場合（メモリブロックA1, A2, A3からの信号がすべて同じ場合）に、その出力Eiのレベルを“L”とし、入力データDiのレベルが0.4Vと4.5Vの間にある場合（メモリブロックA1, A2, A3からの信号が1つでも異なる場合）に、その出力Eiのレベルを“H”とする。OR回路は電圧比較回路VC0, VC1, … VC7の出力の論理和演算を行う。

【0015】次に本実施例の作用を説明する。まず、各々のメモリブロックAiの入出力線が切れていないかどうかを確認するために、個々に1アドレスのみ、書き込み及び読み出しを行う。その後、選択信号S0, S1を入力して3個のメモリブロックA1, A2, A3の中から一つのメモリブロック例えばA1をセレクタSによって選択する。すると選択されたメモリブロックA1へのチップ・セレクト入力信号バーCSがアクティブになる。この時、ライトイネーブル信号バーWRをアクティブにして選択されたメモリブロックA1のアドレス信号に対応

するセルに8ビットのデータを書込む。次にライトイネーブル信号バーWRを非アクティブにし、出力イネーブル信号バーOEをアクティブにして上記セルに記憶されているデータを読出す。このデータの読出しは、データ入出力ピン6を介して行われる。そして読出したデータを図示しないLSIテスト等によって期待値と比較することにより、選択されたメモリブロックA1が正常であることを確認する。

【0016】次に、所定の選択信号S0, S1を入力することにより、セレクタSによって全てのメモリブロックA1, A2, A3のチップ・セレクト信号バーCSをアクティブにする。その後、バーOE信号を非アクティブ、バーWR信号をアクティブにして、データ入出力ピン6から8ビットのデータD0, D1, …D8を入力して、各メモリブロックAiのアドレス信号に対応する8個のセルに上記データD0, D1, …D7を書込む。そして、バーWR信号を非アクティブ、バーOEをアクティブにして上記各メモリブロックAiの各々の上記8個のセルからデータを読み出し、この読出したデータをデータバス10上に出力する。すると、メモリブロックA1, A2, A3から出力された各i番目のデータDiがデータバス10上でショートした状態となる。このショートした状態のi番目のデータDiはデータバス10を介して電圧比較回路VCiに送られる。

【0017】この時、全てのメモリブロックA1, A2, A3が正常であればデータバス10上の各i番目のデータDiのレベルは“H”レベルもしくは“L”レベルとなるが、1つでもメモリブロックが不良であれば、データバス10上有るデータのレベルが“L”レベルと“H”レベルの中間レベルとなる。

【0018】したがって、すべてのメモリブロックA1, A2, A3が正常であれば各電圧比較回路VCi (i=0, …7)に入力されるデータDiは“H”レベル又は“L”レベルとなり、電圧比較回路VCiの出力Eiは“L”レベルとなる。又、あるメモリブロックのセルが不良であれば、ある電圧比較回路VCjに入力されるデータDjが“L”と“H”的中間レベルとなるから、この電圧比較回路VCjの出力Ejは“H”レベルとなる。これにより全てのメモリブロックA1, A2, A3が正常であれば、電圧比較回路VCi (i=0, 1, …7)からの出力信号Eiがすべて“L”レベルとなるからOR回路ORの出力も“L”レベルとなり、又、あるメモリブロックのセルが不良であれば、OR回路ORの出力は“H”となる。

【0019】以上述べたように本実施例によればすべてのメモリブロックA1, A2, A3を同時にテストすることが可能となり、従来の場合に比べてテストを要する時間及びコストを低減させることができる。

【0020】次に第2の発明によるテスト回路の第1の実施例の構成を図3に示す。この実施例のテスト回路は

テスト選択回路31と、セレクタ33と、データ比較回路35と、セレクタ37とを備えており、テストすべき複数個の機能ブロック（例えばメモリ）A1, A2, A3, B1, B2, C1, C2とともに半導体集積回路装置に内蔵されている。なお、機能ブロックA1, A2, A3は各々同一機能を有しており、機能ブロックB1とB2、及び機能ブロックC1とC2は各々同一機能を有している。

【0021】テスト選択回路31は、テスト指示信号に基づいて動作し、機能ブロック選択信号に応じて同一機能の機能ブロック、例えば機能ブロックA1, A2, A3をイネーブル状態にする。セレクタ33はイネーブル状態にされた機能ブロックに入力データを送る。データ比較回路35は例えば図4に示すようにインバータ回路41, AND回路42a, 42b, 42c, 42d, 42e, 42f, OR回路43a, 43b, 43c、及びExclusive OR回路45を有しており、送信されるデータ比較回路テスト指示信号に基づいて動作し、イネーブル状態にされた各機能ブロック（例えばA1, A2, A3）からの出力データ信号（例えばAO1, AO2, AO3）の値が同一かどうかを比較し、同一でない場合に不良検知信号を外部に出力する。なお、このデータ比較回路35においては、データ比較回路テスト用データ（各種のパターンデータ）はセレクタ33を介して入力され、セレクタ37を介して出力されるデータ比較回路テスト用データ出力と不良検知信号とに基づいて図示しない外部のLSIテスト等によってデータ比較回路35が正常に動作するかどうかを検出するのに用いられる。セレクタ37はテスト選択回路31からの指令信号に基づいて動作し、イネーブル状態にされた機能ブロックのうち1つの機能ブロックからの出力データ信号を外部に出力する。

【0022】次に、この第1の実施例の動作を説明する。先ず、テスト指示信号が入力されるとテスト選択回路31が動作する。次に機能ブロック選択信号としてデータ比較回路35を選択する選択信号がテスト選択回路31に入力されると、テスト選択回路31からデータ比較回路35にテスト指示信号（この時の値は“H”）が送られて、データ比較回路35がテストモードとなる。40 この時、セレクタ33にテストデータが入力される。このテストデータはデータ比較回路35に送られて、データ比較回路35が正常かどうかテストされる。このテストはテストデータのパターンを色々変えることによってセレクタ37を介して出力されるデータ比較回路35の出力データとExclusive OR回路45の出力とに基づいて行われる。

【0023】次にデータ比較回路35が正常であると検出された後、機能ブロックA1, A2, A3が選択される機能ブロック選択信号をテスト選択回路31に入力するとともに、テストデータをセレクタ33に入力する

と、機能ブロック A 1, A 2, A 3 がイネーブル状態になるとともに入力されたテストデータはセレクタ 3 3 を介して機能ブロック A 1, A 2, A 3 に送られる。この時、機能ブロック A 1, A 2, A 3 には同一テストデータが送られたことになる。

【0024】一方、機能ブロック A 1, A 2, A 3 から出力されるデータ信号 A 0 1, A 0 2, A 0 3 はデータ比較回路 3 5 に送られて、それらの値がすべて等しいかどうかを比較され、同一でない場合に不良検知信号を外部に出力する。この時、機能ブロック A 1, A 2, A 3 のうち少なくとも 1 個もしくは 2 個が正常でないと判断される。しかし、イネーブル状態にされた機能ブロックすべてが正常でない場合には不良検知信号は出力されないため、イネーブル状態にされた機能ブロックのうち、1 つの機能ブロック、例えば A 1 の出力データをセレクタ 3 7 を介して外部に出力し、L S T テスター等によって機能ブロック A 1 が正常かどうかを判定することによってイネーブル状態にされた機能ブロック A 1, A 2, A 3 がすべて正常かどうかを判定する。同様にして機能ブロック B 1, B 2 及び機能ブロック C 1, C 2 が正常かどうかをテストすることができる。

【0025】なお、上記実施例においては、機能ブロックがテストされる時は、テスト選択回路 3 1 からデータ比較回路 3 5 に送出されるデータ比較回路テスト指示信号の値は “L” となっているものとする。

【0026】以上述べたように本実施例によれば同一機能の機能ブロックを同時にテストすることが可能となり、テストに要する時間を短縮することができるとともにコストを低減させることができる。

【0027】次に第 2 の発明のテスト回路の第 2 の実施例の構成を図 5 に示す。この実施例のテスト回路は図 3 に示す第 1 の実施例のテスト回路において、テスト選択回路 3 1 及びセレクタ 3 7 の代りにテスト選択回路 3 1 A 及びセレクタ 3 7 A を設けたものである。図 5 においてテスト選択回路 3 1 A に入力されるテスト方式選択信号は、同一機能の機能ブロックすべてをテストするか、又は個々にテストするかを選択する信号である。同一機能の機能ブロックのすべてをテストする場合の動作は図 3 に示す第 1 の実施例と同一の動作をする。同一機能の機能ブロックを個々にテストする場合を意味するテスト方式選択信号がテスト選択回路 3 1 A に入力されると、

選択指令信号がセレクタ 3 7 A に送られて、イネーブルにされて同一機能の機能ブロックの中から 1 つの機能ブロックが選択されて、この選択された機能ブロックからの出力データ信号がセレクタ 3 7 A を介して外部に出力される。この出力された出力データ信号に基づいて L S T テスター等によって選択された機能ブロックが正常かどうかが判定される。なお、1 つの機能ブロックを選択するための信号としては機能ブロック選択信号を利用しても良いし、新たに外部から入力しても良い。

10 【0028】機能ブロック選択信号を利用する場合はテスト選択回路 3 1 A に入力される機能ブロック選択信号は個々の機能ブロック（例えば機能ブロック A 2）を選択するための信号であって、テスト選択回路 3 1 A はこの信号を受けると、選択された機能ブロックと同一機能を有する機能ブロックすべて（例えば、機能ブロック A 1, A 2, A 3）をイネーブルにすることになる。

【0029】この第 2 の実施例のテスト回路も第 1 の実施例のテスト回路と同様の効果を有することは言うまでもない。

20 【0030】

【発明の効果】本発明によれば、すべての機能ブロックを同時にテストすることが可能となり、テストに要する時間及びコストを可及的に低減させることができる。

【図面の簡単な説明】

【図 1】第 1 の発明の実施例の構成を示すブロック図

【図 2】第 1 の発明にかかる電圧比較回路の一具体例を示す回路図

【図 3】第 2 の発明の第 1 の実施例の構成を示すブロック図。

30 【図 4】第 2 の発明の第 1 の実施例にかかるデータ比較回路の一具体例を示す回路図。

【図 5】第 2 の発明の第 2 の実施例の構成を示すブロック図。

【図 6】従来のテスト回路を示すブロック図

【符号の説明】

3 セレクタ

6 データ入出力ピン

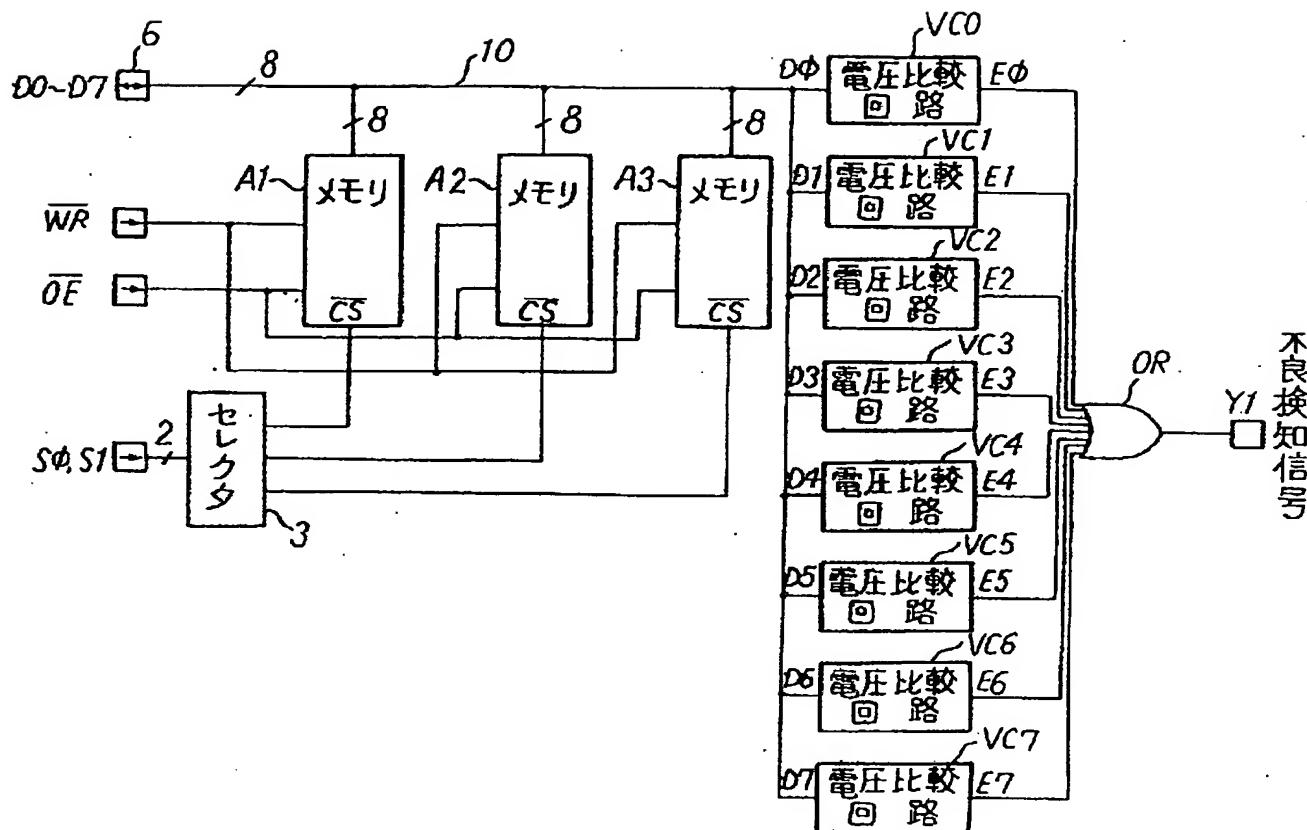
10 データバス

A i (i = 1, … 3) メモリブロック

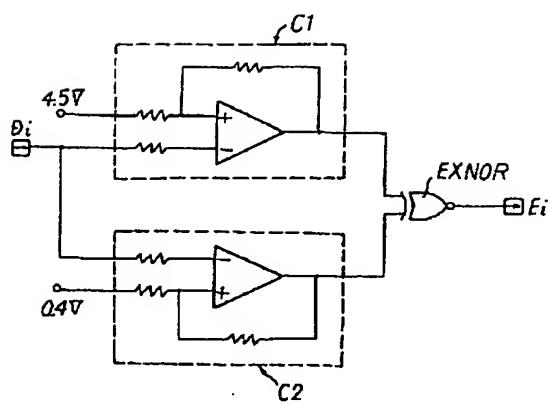
OR OR回路

V C i (i = 0, … 7) 電圧比較回路

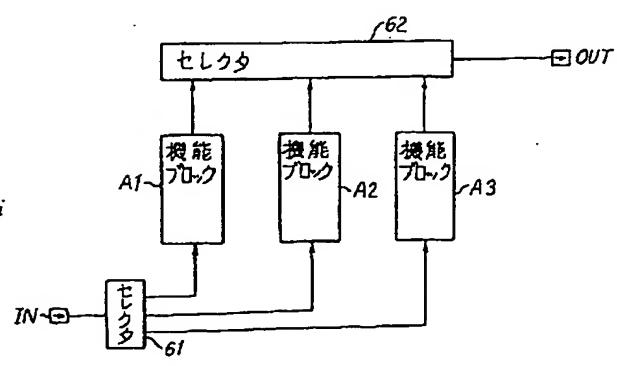
【図 1】



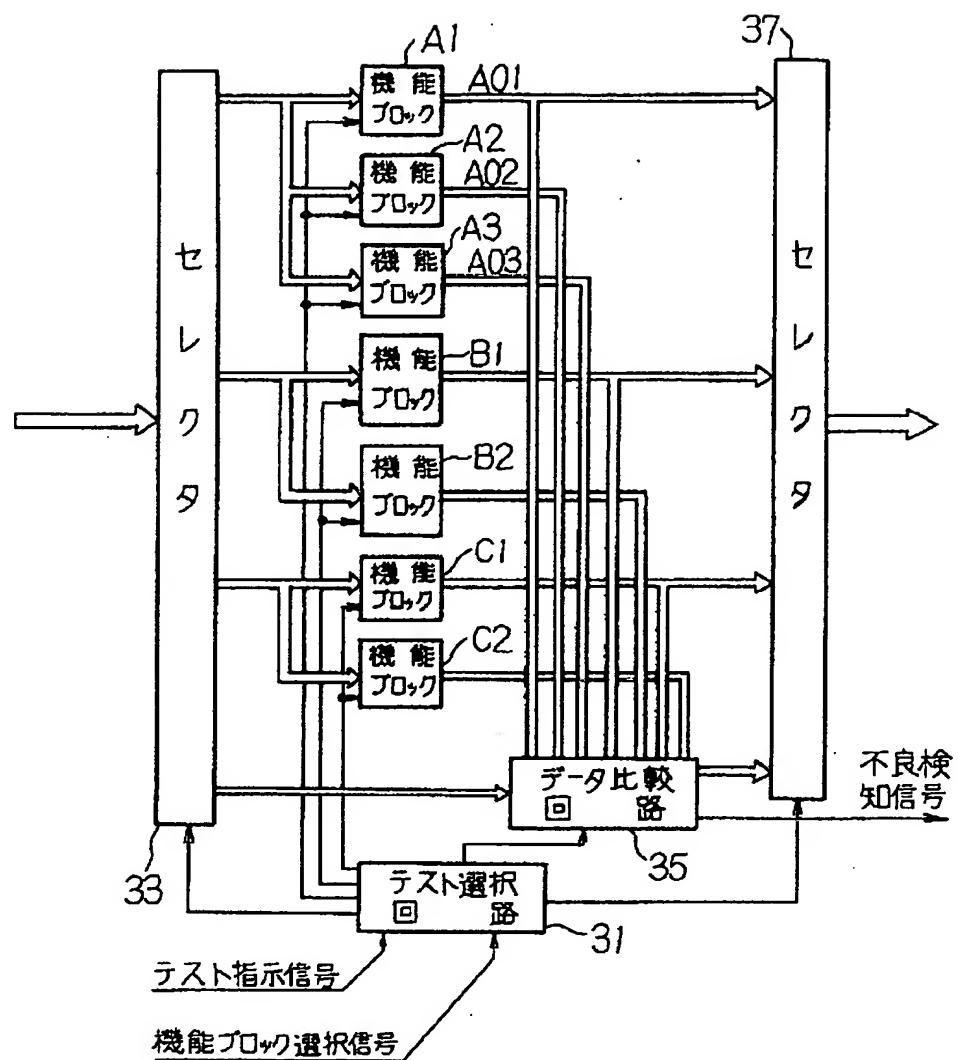
【図 2】



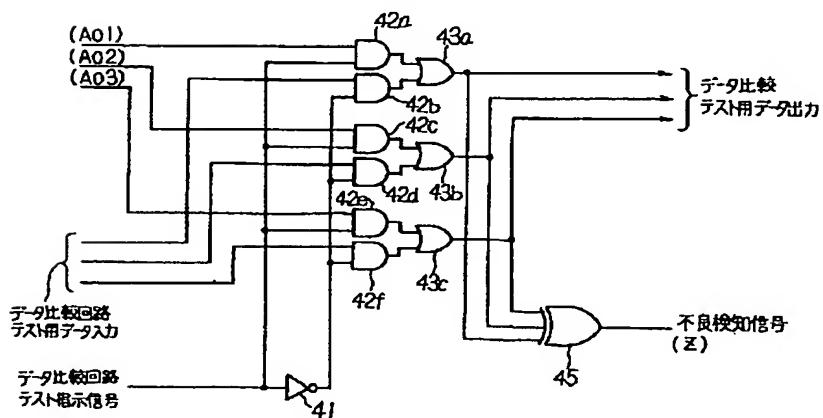
【図 6】



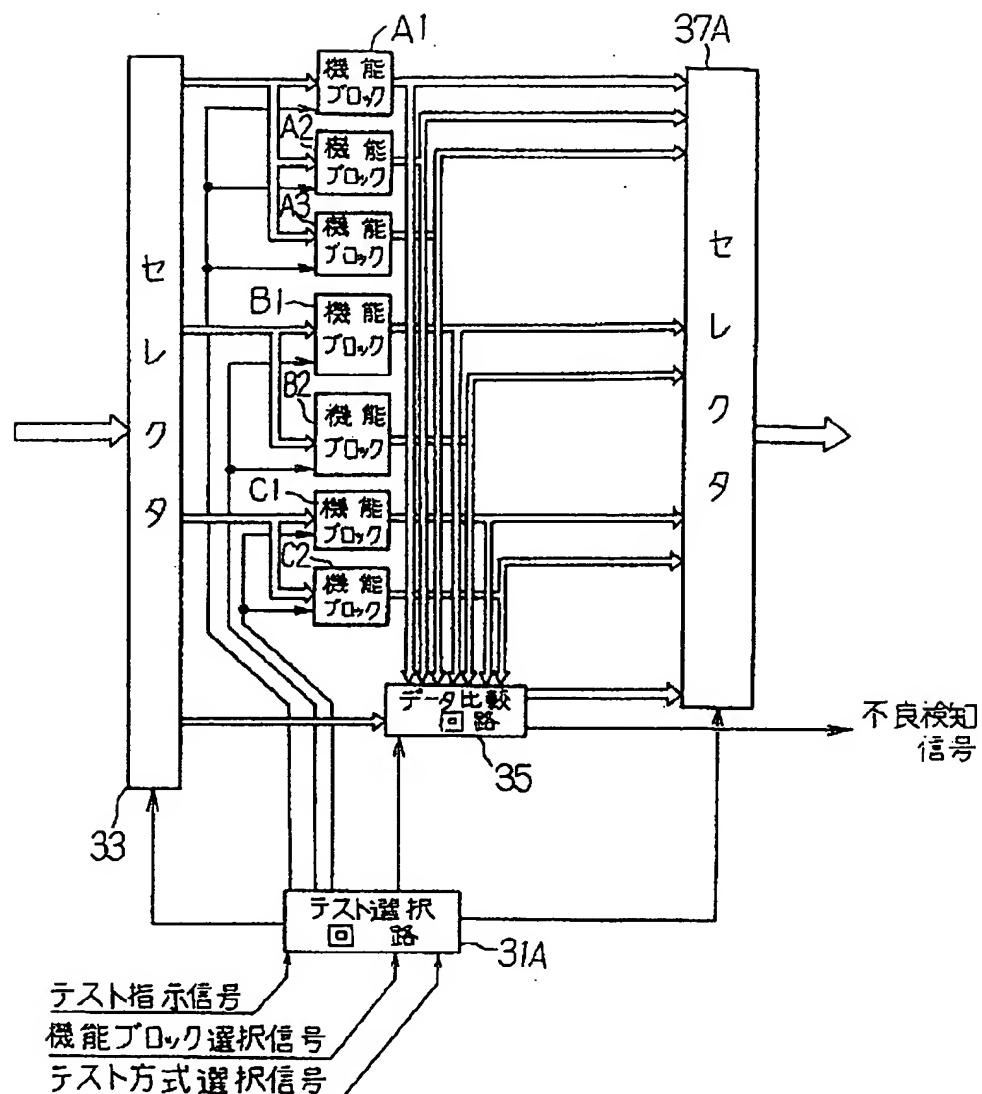
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl. ⁵ H 01 L 27/04	識別記号 T 8427-4M	F I	技術表示箇所
(72) 発明者 田 中 信 行 東京都渋谷区千駄ヶ谷三丁目50番11号 東 芝情報システム株式会社内		(72) 発明者 吉 田 典 弘 神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内	
(72) 発明者 藤 森 雅 文 神奈川県川崎市幸区堀川町580番1号 株 式会社東芝半導体システム技術センター内		(72) 発明者 森 田 常 正 神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内	